

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11233806 A**

(43) Date of publication of application: **27.08.99**

(51) Int. Cl. **H01L 31/10**  
**H01L 27/14**

(21) Application number: **10027563**

(71) Applicant: **SONY CORP**

(22) Date of filing: **09.02.98**

(72) Inventor: **ARAI CHIHIRO**

(54) **SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE**

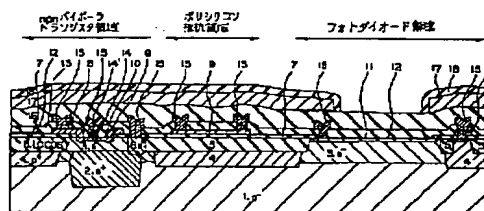
interlayer insulation films 13 and 16 is set lower than that of the second interlayer insulation film 12.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

**PROBLEM TO BE SOLVED:** To reduce the variations of light reception sensitivity and to improve the matching to the manufacturing process of a bipolar transistor, by forming a protection film at a light incidence region for the light reception surface of a semiconductor photodetector and another protection film with a lower refractive index than that of the protection film on the upper layer of the protection film.

**SOLUTION:** An opening is formed at a first interlayer insulation film 7 consisting of silicon oxide on the upper layer of a light reception surface and becomes an incidence region of light for the light reception surface. Then, a second interlayer insulation film 12 consisting of silicon nitride, a third interlayer insulation film 13 consisting of silicon oxide, and a fourth interlayer insulation film 16 consisting of silicon oxide are directly formed on the upper layer of an n<sup>+</sup>-type region 1 as the protection film of a light reception element. The refractive index of the silicon nitride is, for example, 2.0, that of the silicon oxide is, for example, 1.4, and that of the third and fourth



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-233806

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.<sup>6</sup>

H01L 31/10  
27/14

識別記号

F I

H01L 31/10  
27/14

A  
D  
Z

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21)出願番号 特願平10-27563

(22)出願日 平成10年(1998) 2月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 荒井 千広

東京都品川区北品川6丁目7番35号 ソニー株式会社内

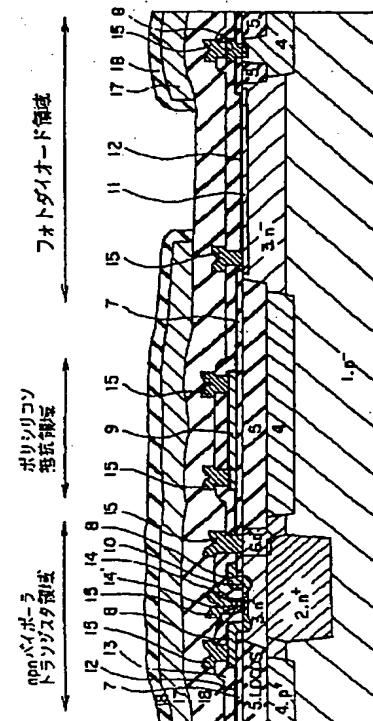
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】受光素子の受光感度のばらつきを低減し、混載するバイポーラトランジスタの製造工程と整合性がよい構造の反射防止膜を有する受光素子を有する半導体装置およびその製造方法を提供する。

【解決手段】基板1上に半導体受光素子を有する半導体装置であって、半導体受光素子の受光面に対する光の入射領域に少なくとも形成された第1の屈折率を有する第1保護膜12と、第1保護膜の上層に形成された第1の屈折率よりも低い第2の屈折率を有する第2保護膜(13, 16)とを有する構成とする。



(3)

よって素子間分離が行われている。また、 $n^-$ 型エピタキシャル層3および素子分離絶縁膜5上には、例えば酸化シリコンからなる第1層間絶縁膜7が形成されている。

【0006】npnバイポーラトランジスタ領域において素子分離絶縁膜5により囲まれた部分の $n^-$ 型エピタキシャル層3中にp型ベース領域10が形成されており、p型ベース領域10に接続してその上層に $p^+$ 型ポリシリコン層8が形成されており、ベース取り出し領域となる。p型ベース領域10中にはn型エミッタ領域14'が形成されており、その上層に $n^+$ 型ポリシリコン層14が形成されてエミッタ取り出し領域となる。一方、 $n^-$ 型エピタキシャル層3中に $n^+$ 型埋め込み領域2に達する $n^+$ 型プラグ領域6が形成されている。上記のように、エミッタ領域(n型エミッタ領域14'、 $n^+$ 型ポリシリコン層14)、ベース領域(p型ベース領域10、 $p^+$ 型ポリシリコン層8)、およびコレクタ領域( $n^-$ 型エピタキシャル層3、 $n^+$ 型埋め込み領域2、 $n^+$ 型プラグ領域6)とから、npnバイポーラトランジスタが構成されている。

【0007】さらに、npnバイポーラトランジスタ全体を被覆して、例えば窒化シリコンからなる第2層間絶縁膜12が形成されており、その上層に例えば酸化シリコンからなる第3層間絶縁膜13が形成されている。第1～第3層間絶縁膜(7, 12, 13)の必要な領域にコンタクトが開口されて、例えばチタン及びアルミニウムなどを積層して形成した金属配線などからなる第1配線15が、 $n^+$ 型ポリシリコン層14、 $p^+$ 型ポリシリコン層8、および $n^+$ 型プラグ領域6にそれぞれ接続して形成されている。第1配線15の上層に例えば酸化シリコンからなる第4層間絶縁膜16が形成されており、その上層に例えばチタン及びアルミニウムなどを積層して形成した金属配線などからなる第2配線17が形成されている。その上層に、例えば窒化シリコンからなる保護絶縁膜18が全体を被覆して形成されている。

【0008】また、ポリシリコン抵抗領域においては、素子分離絶縁膜5の下部には、 $p^-$ 型シリコン基板1に達する $p^+$ 型素子分離領域4が形成され、素子分離絶縁膜5の上層には酸化シリコンの第1層間絶縁膜7が形成されている。その上層に抵抗体をなすポリシリコン層9が形成されている。さらに、ポリシリコン層9全体を被覆して、例えば窒化シリコンからなる第2層間絶縁膜12が形成されており、その上層に例えば酸化シリコンからなる第3層間絶縁膜13が形成されている。第2, 第3層間絶縁膜(12, 13)にコンタクトが開口されて、例えばチタン及びアルミニウムなどを積層して形成した金属配線などからなる第1配線15が、ポリシリコン層9の所定の箇所に接続して形成されている。第1配線15の上層に例えば酸化シリコンからなる第4層間絶縁膜16が形成されており、その上層に例えばチタン及

びアルミニウムなどを積層して形成した金属配線などからなる第2配線17が形成されている。その上層に、例えば窒化シリコンからなる保護絶縁膜18が全体を被覆して形成されている。

【0009】抵抗体をなすポリシリコン層9が窒化シリコンの第2層間絶縁膜12により覆われており、その窒化シリコン膜が、半導体装置全面に渡って形成されていることにより、ポリシリコン抵抗の形成後の熱処理において水素( $H_2$ )が侵入して抵抗値の低下を引き起こすことを防止でき、ポリシリコン抵抗の抵抗値を安定化することができる。

【0010】また、アノードコモン型フォトダイオード領域においては、素子分離絶縁膜5により囲まれた部分における $n^-$ 型エピタキシャル層3の表面近傍に、 $n^+$ 型領域11が設けられている。また、 $n^+$ 型領域11の隣接部(図面上 $n^+$ 型領域11の右側)に形成された素子分離絶縁膜5により囲まれた部分に、 $p^-$ 型シリコン基板1に達する $p^+$ 型素子分離領域4が形成され、この $p^+$ 型素子分離領域4の上部にアノード取り出し用の $p^+$ 型ポリシリコン層8が形成されている。この $p^+$ 型素子分離領域4は素子分離絶縁膜5および $n^-$ 型エピタキシャル層3により $n^+$ 型領域11と分離されている。 $n^-$ 型エピタキシャル層3と $p^-$ 型シリコン基板1の接合面においてダイオードのpn接合が形成されており、 $n^+$ 型領域11と $n^-$ 型エピタキシャル層3とからなるカソード、 $p^-$ 型シリコン基板1からなるアノード、および、 $p^+$ 型素子分離領域4およびアノード取り出し用の $p^+$ 型ポリシリコン層8によりアノードコモン型フォトダイオードが構成されている。

【0011】受光素子上部には、酸化シリコンからなる第1層間絶縁膜7、窒化シリコンからなる第2層間絶縁膜12、酸化シリコンからなる第3層間絶縁膜13、酸化シリコンからなる第4層間絶縁膜16、および窒化シリコンからなる保護絶縁膜18が形成されており、これら第1～第4層間絶縁膜(7, 12, 13, 16)および保護絶縁膜18はフォトダイオードの受光面に光が入射する際の反射防止膜としての機能を有する。第2配線17は、フォトダイオードの受光面である開口部以外の部分を覆い、遮光の役割をはたしている。

【0012】

【発明が解決しようとする課題】しかしながら、上記の受光素子(フォトダイオード)を含む半導体装置、いわゆるフォトIC(PDIC)においては、フォトダイオードの感度のばらつきが大きいという問題があった。

【0013】上記の問題点について具体的に説明する。図8に示すフォトダイオードの反射防止膜のうち、第1配線15と第2配線17の間の酸化シリコンの第4層間絶縁膜16は、第2配線17を形成する際に、第1配線部分に起因して生ずる段差を平滑化する必要がある。平滑化処理は、例えば以下に行われる。まず、図9

(5)

ば窒化シリコンからなる第1保護膜で被覆することで容易に水素の侵入を防止でき、抵抗値の安定なポリシリコン抵抗を混載することができる。

【0025】上記の本発明の半導体装置は、好適には、前記基板にバイポーラトランジスタが形成されている。上記の構造の受光素子はバイポーラトランジスタの製造工程と整合性よく形成することが可能であり、バイポーラトランジスタとの混載が容易である。

【0026】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に半導体受光素子およびポリシリコン抵抗素子を有する半導体装置の製造方法であって、前記半導体基板上の半導体受光素子形成領域において、前記半導体基板に前記半導体受光素子の受光面を形成する工程と、前記受光面の上面およびポリシリコン抵抗素子形成領域において第1絶縁膜を形成する工程と、前記ポリシリコン抵抗素子形成領域において前記第1絶縁膜の上面に抵抗体となるポリシリコン層を形成する工程と、前記受光面に対する光の入射領域における前記第1絶縁膜を除去する工程と、前記受光面に対する光の入射領域における前記受光面の上面および前記ポリシリコン層の上面に第2絶縁膜を形成する工程と、前記第2絶縁膜の上面に第3絶縁膜を形成する工程と、前記第3絶縁膜の上面に第1配線を形成する工程と、前記第1配線を被覆して第4絶縁膜を形成する工程と、前記第4絶縁膜の上面に第2配線を形成する工程と、前記受光面に対する光の入射領域における前記第2配線を除去する工程と、前記第2配線の上面に保護絶縁膜を形成する工程と、前記受光面に対する光の入射領域における前記保護絶縁膜を除去する工程とを有する。

【0027】上記の本発明の半導体装置の製造方法は、半導体基板上の半導体受光素子形成領域において、半導体基板に半導体受光素子の受光面を形成し、受光面の上面およびポリシリコン抵抗素子形成領域において第1絶縁膜を形成し、ポリシリコン抵抗素子形成領域において第1絶縁膜の上面に抵抗体となるポリシリコン層を形成する。次に、受光面に対する光の入射領域における第1絶縁膜を除去し、受光面に対する光の入射領域における受光面の上面およびポリシリコン層の上面に第2絶縁膜を形成する。次に、第2絶縁膜の上面に第3絶縁膜を形成し、第3絶縁膜の上面に第1配線を形成し、第1配線を被覆して第4絶縁膜を形成し、第4絶縁膜の上面に第2配線を形成し、受光面に対する光の入射領域における第2配線を除去する。次に、第2配線の上面に保護絶縁膜を形成し、受光面に対する光の入射領域における保護絶縁膜を除去する。

【0028】上記の本発明の半導体装置の製造方法によれば、受光素子の受光面が第2～第4絶縁膜に被覆されている構造とすることができる。この構造において、例えば第2絶縁膜を窒化シリコンで形成し、第3および第4絶縁膜を酸化シリコンで形成することなどにより、第

2～第4絶縁膜について膜厚のばらつきが発生しても反射率のばらつきを小さく抑えることが可能な反射防止膜としての機能を有する積層体とすることができ、従って受光素子の受光感度のばらつきを低減することが可能である。また、この構造はバイポーラトランジスタの製造工程と整合性よく形成することが可能であり、バイポーラトランジスタとの混載が容易である。一方、ポリシリコン抵抗素子となるポリシリコン層が第2絶縁膜に被覆されていて、第2絶縁膜を例えば窒化シリコンで形成することでポリシリコン抵抗の形成後の熱処理において水素(H<sub>2</sub>)が侵入することを防ぐことが可能となり、抵抗値を安定化したポリシリコン抵抗素子を上記の受光素子の形成と整合性よく形成することができる。

【0029】上記の本発明の半導体装置の製造方法は、好適には、前記第2絶縁膜を窒化シリコンにより形成する。また、好適には、前記第3絶縁膜および前記第4絶縁膜を酸化シリコンにより形成する。上記のように層間絶縁膜の膜厚のばらつきが発生しても反射率のばらつきを小さく抑えることが可能な反射防止膜としての機能を有する積層体とすることが可能となる。

【0030】上記の本発明の半導体装置の製造方法は、好適には、前記第4絶縁膜を形成する工程に後、前記第2配線を形成する工程の前に、前記第4絶縁膜を平坦化する工程をさらに有する。平坦化する際に、層間絶縁膜の膜厚のばらつきが発生しても、反射率のばらつきを小さく抑えて形成することが可能である。

【0031】上記の本発明の半導体装置の製造方法は、好適には、前記保護絶縁膜を窒化シリコンにより形成する。受光素子の形成領域において保護絶縁膜を除去するが、窒化シリコンの保護絶縁膜の除去はボンディングパッドの開口と同時に行うことが可能であり、工程数の増加は伴わない。

【0032】上記の本発明の半導体装置の製造方法は、好適には、前記半導体基板上にバイポーラトランジスタを形成する工程をさらに有する。受光素子をバイポーラトランジスタの製造工程と整合性よく形成することが可能であるので、バイポーラトランジスタとの混載が容易である。

【0033】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0034】図1は、本実施形態にかかる半導体装置の断面図である。この半導体装置は、フォトダイオード(PD)とバイポーラICを混載した、いわゆるフォトIC(PDIC)である。図面上、左側から、バイポーラ素子としてnpnバイポーラトランジスタとポリシリコン抵抗が、また、フォトダイオードとしてアノードコモン型フォトダイオードが、それぞれ同一の半導体基板の各領域に形成されている。図示はしていないが、これらの素子の他に、pnpバイポーラトランジスタおよび

(7)

り、酸化シリコンの屈折率は例えば1.45であり、第2層間絶縁膜12よりも第3層間絶縁膜13および第4層間絶縁膜16の屈折率が低く設定されている。これら第2～第4層間絶縁膜(12, 13, 16)はフォトダイオードの受光面に光が入射する際の反射防止膜としての機能を有する。第2配線17は、フォトダイオードの受光面である開口部以外の部分を覆い、遮光の役割をたしている。

【0043】ここで、図1の構造の反射防止膜構造で、例えば $n^-$ 型エピタキシャル層3表面の $n^+$ 領域11表面部の屈折率を3.7、窒化シリコンの第2層間絶縁膜12の屈折率を2.0、膜厚を36nm、酸化シリコンの第3層間絶縁膜13および第4層間絶縁膜16の屈折率を1.45とし、さらに受光素子(フォトダイオード)上部には、屈折率1.5の十分厚い透明モールド樹脂、あるいは、屈折率1.5のプリズムが形成されているものとした場合の、第3層間絶縁膜13と第4層間絶縁膜16の膜厚の和に対する光の反射率を図2に示す。図2中、光の波長として、CD、MDに用いられている780nmと、DVDに用いられている650nmでの反射率をそれぞれ示している。図2に示すように、図1の構造では、層間絶縁膜の膜厚のばらつきが発生しても反射率のばらつきは5%以内であり、反射率の絶対値も25%以下と低い値を示している。このように反射率のばらつきが少ないことから、受光素子(フォトダイオード)の受光感度のばらつきを低減することが可能である。

【0044】次に、上記の本実施形態の半導体装置の製造方法について説明する。ポリシリコン低抗本体、及び、npnトランジスタのベース取り出しポリシリコン形成までは一般的に知られているダブルベース型バイポーラnpnトランジスタを有するバイポーラICプロセスの製造方法に従い、形成することができる。まず、図3(a)に示す装置に至るまでの工程について説明する。抵抗率 $20\Omega\text{cm}$ の $p^-$ 型シリコン基板1に、 $n^+$ 型埋め込み領域2を、 $\text{Si}_2\text{O}_3$ を用いた固体ソース拡散によって形成する。次に、 $p^-$ 型シリコン基板1の上層に $n^-$ 型エピタキシャル層3を、抵抗率 $1\Omega\text{cm}$ 、膜厚 $1\mu\text{m}$ の条件で堆積する。次に、例えばLOCOS法により酸化シリコンの素子分離絶縁膜5を800nmの膜厚で形成する。これは、例えば $n^-$ 型エピタキシャル層3表面に熱酸化膜を50nm形成し、窒化シリコン膜を減圧CVD法で100nm形成し、LOCOS素子分離絶縁膜形成領域の窒化シリコン膜、熱酸化膜および $n^-$ 型エピタキシャル層3を選択的に除去するようにRIE(反応性イオンエッチング)などのエッチングを施し、残された窒化シリコン膜をマスクとして熱酸化を行うことで形成することができる。このとき形成される窒化シリコン膜は、例えば $150^\circ\text{C}$ に熱したリン酸(ホットリン酸)により除去する。

【0045】次に、例えばリンを50KeV、 $5\times 10^{15}\text{atoms/cm}^2$ の条件でイオン注入し、 $\text{N}_2$ 雰囲気中で $1000^\circ\text{C}$ 、30分の活性化熱処理を行ない、 $n^+$ 型プラグ領域6を形成する。次に、ホウ素を360KeV、 $5\times 10^{13}\text{atoms/cm}^2$ の条件でイオン注入し、 $p^+$ 型素子分離領域4を形成する。次に、例えばCVD法により酸化シリコンを100nmの膜厚で全面に堆積させ、第1層間絶縁膜7を形成する。次に、npnバイポーラトランジスタ形成領域において、エミッタおよびベースを形成する領域と、フォトダイオード形成領域のアノード取り出し用の開口部領域の第1層間絶縁膜7を選択的に例えばRIEなどのエッチングにより除去する。

【0046】次に、例えば減圧CVD法により全面にポリシリコンを150nmの膜厚で堆積させ、ポリシリコン抵抗形成領域において選択的に、 $\text{BF}_3$ を、50KeV、 $5\times 10^{14}\text{atoms/cm}^2$ の条件でポリシリコン層中にイオン注入する。続いて、npnバイポーラトランジスタ形成領域のベース取り出し用のポリシリコン領域、ポリシリコン層の金属配線とのコンタクト領域、および、フォトダイオード形成領域のアノード取り出し用ポリシリコン領域にホウ素を15KeV、 $3\times 10^{15}\text{atoms/cm}^2$ の条件でイオン注入し、npnバイポーラトランジスタ形成領域のベース取り出し領域となる $p^+$ 型ポリシリコン層8、ポリシリコン抵抗形成領域の抵抗体をなすポリシリコン層9、および、フォトダイオード形成領域のアノード取り出し用の $p^+$ 型ポリシリコン層8を残して選択的にRIEなどのエッチングを施す。以上で、図3(a)に示す装置に至る。

【0047】次に、図3(b)に示すように、フォトダイオード形成領域において受光面上の第1層間絶縁膜7を選択的にRIEなどのエッチングにより除去した後、例えば減圧CVD法により窒化シリコンを36nmの膜厚で堆積させ、第2層間絶縁膜12を形成する。

【0048】次に、図4(c)に示すように、例えばCVD法により酸化シリコンを300nmの膜厚で堆積させて酸化シリコン層13aを形成し、npnバイポーラトランジスタ形成領域において、エミッタとなる領域の酸化シリコン層13a、第2層間絶縁膜12および $p^+$ 型ポリシリコン層8を選択的にRIEなどのエッチングにより除去する。次に、例えば $900^\circ\text{C}$ の $\text{O}_2$ 雰囲気中で10分の熱処理を行なって $n^-$ 型エピタキシャル層3の表面に熱酸化膜を形成し、 $p$ 型ベース領域を形成するために、ホウ素を30KeV、 $1\times 10^{13}\text{atoms/cm}^2$ の条件でイオン注入する。

【0049】次に、図4(d)に示すように、例えばCVD法により酸化シリコンを550nmの膜厚で堆積させ、 $p$ 型ベース領域中の不純物(ホウ素)を活性化するため、例えば $\text{N}_2$ 雰囲気中で $900^\circ\text{C}$ 、15分の熱処理を行う。次に、例えばRIEなどのエッチングにより酸化シリコンを600nmエッチバックして、ベース取り出

(9)

よれば、層間絶縁膜の膜厚のばらつきが発生しても反射率のばらつきを小さく抑えることが可能であり、従って受光素子の受光感度のばらつきを低減することが可能である。また、この構造はバイポーラトランジスタの製造工程と整合性がよく形成することが可能であり、バイポーラトランジスタとの混載が容易である。

【0061】また、本発明の半導体装置の製造方法によれば、層間絶縁膜の膜厚のばらつきが発生しても反射率のばらつきを小さく抑えることが可能な反射防止膜としての機能を有する積層体とすることが可能であり、従って受光素子の受光感度のばらつきを低減することが可能である。また、バイポーラトランジスタの製造工程と整合性がよく形成することが可能であり、バイポーラトランジスタとの混載が容易である。さらに、抵抗値を安定化したポリシリコン抵抗素子を上記の受光素子の形成と整合性がよく形成することができる。

#### 【図面の簡単な説明】

【図1】図1は本発明の実施形態にかかる半導体装置の断面図である。

【図2】図2は本発明の実施形態にかかる半導体装置の層間絶縁膜に膜厚ばらつきに対する反射率の変化を示すグラフである。

【図3】図3は本発明の実施形態にかかる半導体装置の製造方法の製造工程を示す断面図であり、(a)は抵抗体となるポリシリコン層およびトランジスタのベース取り出し領域となる $p^+$ 型ポリシリコン層の加工工程まで、(b)は第2層間絶縁膜の形成工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(c)はトランジスタのベース、エミッタ領域の開口工程まで、(d)は前記開口部のサイドウォールの形成工程までを示す。

【図5】図5は図4の続きの工程を示す断面図であり、

(e)は第1配線の形成工程まで、(f)は第3層間絶縁膜となる酸化シリコン層の形成工程までを示す。

【図6】図6は図5の続きの工程を示す断面図であり、(g)はSOGの塗布および乾燥工程まで、(h)は平坦化形状を維持した酸化シリコン層のエッチング工程までを示す。

【図7】図7は図6の続きの工程を示す断面図であり、(i)は第3層間絶縁膜の形成工程まで、(j)は第2配線の形成工程までを示す。

【図8】図8は従来例にかかる半導体装置の断面図である。

【図9】図9は従来例にかかる半導体装置の製造方法の製造工程を示す断面図であり、(a)は第3層間絶縁膜となる酸化シリコン層の形成工程まで、(b)はSOGの塗布および乾燥工程までを示す。

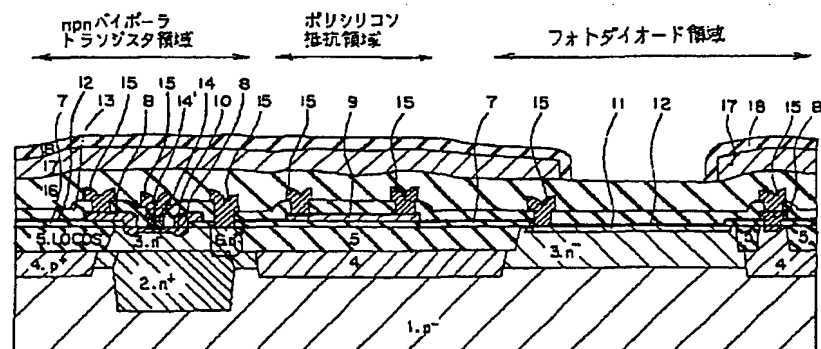
【図10】図10は図9の続きの工程を示す断面図であり、(c)は平坦化形状を維持した酸化シリコン層のエッチング工程まで、(d)は第3層間絶縁膜の形成工程までを示す。

【図11】図11は従来例にかかる半導体装置の層間絶縁膜に膜厚ばらつきに対する反射率の変化を示すグラフである。

#### 【符号の説明】

1… $p^-$ 型シリコン基板、2… $n^+$ 型埋め込み領域、3… $n^-$ 型エピタキシャル層、4… $p^+$ 型素子分離領域、5…素子分離絶縁膜、6… $n^+$ 型プラグ領域、7…第1層間絶縁膜、8… $p^+$ 型ポリシリコン層、9…抵抗体をなすポリシリコン層、10… $p$ 型ベース領域、11… $n^+$ 型領域、12…第2層間絶縁膜、13…第3層間絶縁膜、14… $n^+$ 型ポリシリコン層、14'… $n$ 型エミッタ領域、15…第1配線、16…第4層間絶縁膜、17…第2配線、18…保護絶縁膜。

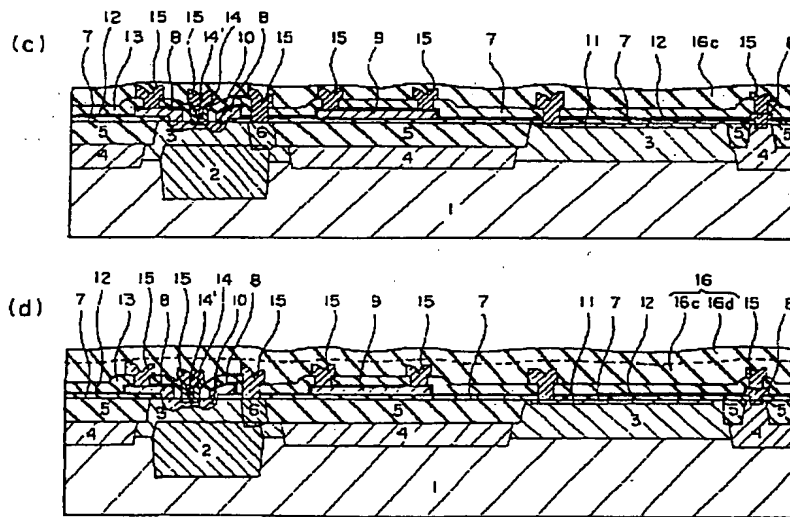
【図1】





(13)

【図10】



【図11】

